



(19)

(11) Publication number:

11111930 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09274329

(51) Intl. Cl.: H01L 27/10 H01L 27/108 H01L 21/8242
H01L 21/8247 H01L 29/788 H01L 29/792

(22) Application date: 07.10.97

(30) Priority:

(43) Date of application
publication: 23.04.99(84) Designated
contracting states:

(71) Applicant: SHARP CORP

(72) Inventor: ISHIHARA KAZUYA

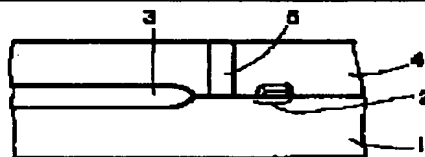
(74) Representative:

(54) MANUFACTURE OF
SEMICONDUCTOR STORAGE
ELEMENT

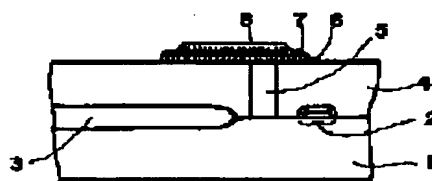
(57) Abstract:

PROBLEM TO BE SOLVED: To see to it that stable transistor properties can be obtained, with an interface state density of a gate oxide film reduced by terminating the defects at the interface between the gate oxide film of a switching transistor and a silicon substrate by hydrogen, without having the ferroelectric properties deteriorated.

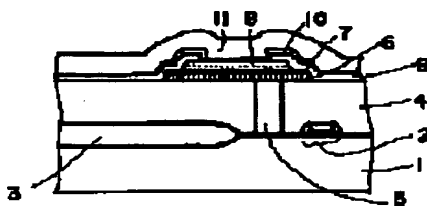
SOLUTION: The defects at an interface between the gate insulating film of a MOS transistor and a silicon substrate 1 are terminated by heat-treating them in hydrogen atmosphere or a mixed atmosphere of hydrogen and inert gas after forming a ferroelectric film 8 on a lower electrode 7, and crystallizing the ferroelectric film 8. Next, an upper electrode 10 is made on the ferroelectric film 8 via the contact hole made in a second interlayer insulating film 9. Next, after the formation of a third interlayer insulating film 11, a contact hole is made, and metal wiring 12 for connecting the MOS transistor 2 with other semiconductor storage element is made, and then a surface protective film 13 is made on the surface.



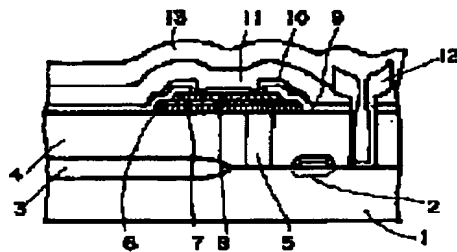
(a)



(b)



(c)



(d)

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-111930

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁶

H 0 1 L 27/10
27/108
21/8242
21/8247
29/788

識別記号

4 5 1

F I

H 0 1 L 27/10

29/78

4 5 1

6 5 1

3 7 1

審査請求 未請求 請求項の数 5 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平9-274329

(22) 出願日

平成9年(1997)10月7日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 石原 数也

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

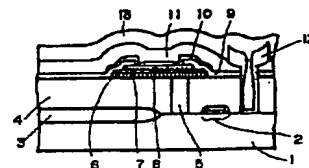
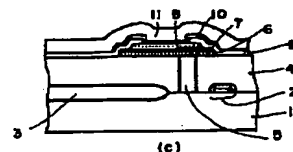
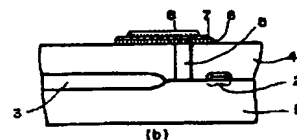
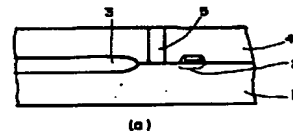
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体記憶素子の製造方法

(57) 【要約】

【課題】 上部電極形成後に水素を含む不活性ガス雰囲気中で熱処理すると、強誘電体特性の劣化、リーク電流の増加が起こる。

【解決手段】 下部電極7上に強誘電体膜8を形成し、強誘電体膜8を結晶化した後、水素或いは水素と不活性ガスの混合雰囲気にて熱処理をすることにより、MOSトランジスタ2のゲート絶縁膜とシリコン基板1との界面での欠陥を終端する。次に、上部電極10を強誘電体膜8上に第2の層間絶縁膜9に形成されたコンタクトホールを介して形成する。次に、第3の層間絶縁膜11を形成した後、コンタクトホールを形成し、MOSトランジスタ2と他の半導体記憶素子とを接続する金属配線12を形成し、その後、表面に表面保護膜13を形成する。



【特許請求の範囲】

【請求項1】 半導体基板に形成されたスイッチングトランジスタとなるMOSトランジスタと、第1の層間絶縁膜に形成されたコンタクトホールを介して上記MOSトランジスタと電気的に接続され、強誘電体膜を誘電膜とするキャパシタとを備え、配線を介して、他の半導体記憶素子と接続されている半導体記憶素子の製造方法において、

上記キャパシタの下部電極上に上記強誘電体膜を形成する工程と、

上記強誘電体膜を結晶化した後、水素或いは水素と不活性ガスの混合雰囲気にて第1の熱処理をすることにより、上記MOSトランジスタのゲート絶縁膜と上記半導体基板との界面での欠陥を終端する工程と、

上記キャパシタの上部電極を上記強誘電体膜上に直接又は第2の層間絶縁膜に形成されたコンタクトホールを介して形成する工程と、

第3の層間絶縁膜を形成した後、コンタクトホールを形成し、上記MOSトランジスタと他の半導体記憶素子とを接続する配線を形成し、その後、表面に表面保護膜を形成することを特徴とする、半導体記憶素子の製造方法。

【請求項2】 上記第1の熱処理を300～450℃で行うことを特徴とする、請求項1記載の半導体記憶素子の製造方法。

【請求項3】 上記第1の層間絶縁膜、上記第2の層間絶縁膜、上記第3の層間絶縁膜及び上記表面保護膜として、四弗化珪素を原料として用いた化学的気相成長法によって、フッ素を含む酸化珪素膜、窒化珪素膜又は窒化酸化珪素膜を形成することを特徴とする、請求項1又は請求項2に記載の半導体記憶素子の製造方法。

【請求項4】 上記表面保護膜を形成した後、酸素又は不活性ガス又は酸素と不活性ガスとの混合ガス雰囲気中で第2の熱処理をすることを特徴とする、請求項1乃至請求項3のいずれかに記載の半導体記憶素子の製造方法。

【請求項5】 上記第2の熱処理を300～450℃で行うことを特徴とする、請求項1乃至請求項4のいずれかに記載の半導体記憶素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶素子の製造方法、更に詳しくは強誘電体を誘電膜とするキャパシタを備えた半導体記憶素子の製造方法に関するものである。

【0002】

【従来の技術】 従来の強誘電体を用いた不揮発性メモリを図1に示す。従来の強誘電体メモリは少なくとも1つのスイッチングトランジスタと少なくとも1つの強誘電体素子とを有する。従来のDRAMの

CMOS工程と同様に、素子分離により囲まれた活性領域にスイッチングトランジスタを形成した後、素子分離領域上にドライバラインに相当する下部電極形成後、強誘電体を形成する。強誘電体キャパシタは印加電界に対して蓄積電荷は履歴特性を示す。

【0003】 印加電界を取り除いても強誘電体膜は自発分極を有しているため、この分極方向により情報（1あるいは0）が記憶される。この性質を利用することにより、電源を切っても情報が保持できる不揮発性メモリが実現できる。メモリに適用するには分極反転するための正負のしきい値電圧が等しく、反転電荷量と非反転電荷量の差を半導体メモリのセンシングアンプで検出するため、 $5\mu\text{C}/\text{cm}^2$ 程度必要となる。

【0004】 また、強誘電体キャパシタ形成後、上部プレート電極、PZT膜、ドライバラインを所定の形状に同時に加工する。一方のソース/ドレイン領域にビット線、他方のソース/ドレイン領域と強誘電体キャパシタのプレート電極を配線により電気的に接続された構造を有している。

【0005】 強誘電体材料には、上記特性を満足する材料として、チタン酸ジルコン酸鉛（ $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ 、以下「PZT」とする。）あるいは、ピスマス層状化合物（ $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ）などが用いられている。また、電極材料には、PZT膜との格子の接合性が良く、耐酸化性の優れたPtRh、PtRhO_xや酸化物で且つ導電性という特徴をもつRuO₂、IrO₂、LaSrCoOなどが用いられている。強誘電体キャパシタを形成後、層間絶縁膜を形成し、金属配線を用い、素子間を接続する。層間絶縁膜には原料としてシランガスあるいはTEOS（テトラエトキシシラン）を用い、CVD法により酸化珪素膜あるいは窒化珪素膜を形成する。

【0006】 このようにトランジスタを備えたメモリは通常、金属配線あるいは保護膜形成のような最終工程完了後に水素を含む不活性ガス雰囲気中で400～450℃の範囲内で熱処理を行う。これは、トランジスタのゲート酸化膜と基板と界面の欠陥を拡散した水素で終端することにより、ゲート酸化膜の界面単位密度を低減し安定なトランジスタ特性を得るためである。

【0007】 以下、図3を用いて、従来技術として特開平7-273297号公報に開示された技術を説明する。

【0008】 まず、半導体基板41表面に素子分離領域42を形成した後、ソース43及びドレイン44の拡散領域と基板41上にゲート絶縁膜45を介して形成されるゲート電極46を有するスイッチングトランジスタ47が形成される。

【0009】 次に、層間絶縁膜としてBP SG膜48を形成し、更にBP SG膜48上には膜厚20nmのチタン酸珪素膜49、膜厚が200nmのPt下部電極51、

膜厚250nmの強誘電体薄膜52、膜厚200nmのPt上部電極53が順次形成される。

【0010】次に、SOGからなる膜厚200nmのシリコン酸化物の第1の保護膜54が形成し、更に第1の保護膜54上には強誘電体薄膜52の材質と同じ組成のMOD溶液の塗布熱処理によって形成した膜厚220nmの第2の保護膜55が形成される。第2の保護膜55の焼成は強誘電体薄膜52の処理条件と同じである。

【0011】更に、第2の保護膜55上にはLPCVD成膜によるシラン熱分解による膜厚300nmの層間絶縁膜56が形成される。該スイッチングトランジスタ47のソース43、ドレイン44に対応する第1の保護膜54、第2の保護膜55、層間絶縁膜56及びBP SG膜48には開口部57が形成され、この開口部57にソース取り出し配線58、ドレイン取り出し配線59が形成される。また、上部電極53、下部電極51に対応する第1の保護膜54、第2の保護膜55及び層間絶縁膜56にも開口部57が形成され、これら開口部57に上部電極取り出し配線59と上部電極取り出し配線60とは電気的に接続される。

【0012】キャパシタ形成後、アルミニウム等の多層配線間に用いる層間絶縁膜、或いは配線完了後に形成する保護膜は、アルミニウム配線とシリコン基板との反応及びアルミニウム配線の信頼性を考慮して形成時の基板温度を400℃前後にする必要がある。このため、従来、シランやTEOSを原料とし低温で形成可能なプラズマCVD法により層間絶縁膜、保護膜を形成している。

【0013】しかしながら、シランガスやTEOSを用いたプラズマCVD法により形成した層間絶縁膜には多量の水素が含まれており、この水素は保護膜形成後の400℃前後の熱処理により解離し素子内部を拡散、強誘電体キャパシタの上部Pt電極によって活性化され、強誘電体膜界面に達すると強誘電体膜側で還元作用が発生し、膜中の酸素が引き抜かれ絶縁性が破壊される。この現象が進むと強誘電体特性が劣化し、リーク電流が増加する。また、上部電極形成後に水素を含む不活性ガス雰囲気中で熱処理するため、同様に、強誘電体特性の劣化、リーク電流の増加が起こる。

【0014】また、水素遮断性の保護膜として、組成的にも結晶構造的にも強誘電体と等しい薄膜55を用いる場合、該保護膜の平坦化が困難であり、また、保護膜上の絶縁膜との剥がれが発生したり、保護膜を構成する元素が拡散しスイッチングトランジスタ等に悪影響を与える等の問題を有する。

【0015】

【課題を解決するための手段】請求項1に記載の本発明の半導体記憶素子の製造方法は、半導体基板に形成されたスイッチングトランジスタとなるMOSトランジスタの第1の層間絶縁膜に形成されたコンタクトホールを

介して上記MOSトランジスタと電気的に接続され、強誘電体膜を誘電膜とするキャパシタとを備え、配線を介して、他の半導体記憶素子と接続されている半導体記憶素子の製造方法において、上記キャパシタの下部電極上に上記強誘電体膜を形成する工程と、上記強誘電体膜を結晶化した後、水素或いは水素と不活性ガスの混合雰囲気にて第1の熱処理をすることにより、上記MOSトランジスタのゲート絶縁膜と上記半導体基板との界面での欠陥を終端する工程と、上記キャパシタの上部電極を上記強誘電体膜上に直接又は第2の層間絶縁膜に形成されたコンタクトホールを介して形成する工程と、第3の層間絶縁膜を形成した後、コンタクトホールを形成し、上記MOSトランジスタと他の半導体記憶素子とを接続する配線を形成し、その後、表面に表面保護膜を形成することを特徴とするものである。

【0016】また、請求項2に記載の本発明の半導体記憶素子の製造方法は、上記第1の熱処理を300～450℃で行うことを特徴とする、請求項1記載の半導体記憶素子の製造方法である。

【0017】また、請求項3に記載の本発明の半導体記憶素子の製造方法は、上記第1の層間絶縁膜、上記第2の層間絶縁膜、上記第3の層間絶縁膜及び上記表面保護膜として、四弗化珪素を原料として用いた化学的気相成長法によって、フッ素を含む酸化珪素膜、窒化珪素膜又は窒化酸化珪素膜を形成することを特徴とする、請求項1又は請求項2に記載の半導体記憶素子の製造方法である。

【0018】また、請求項4に記載の本発明の半導体記憶素子の製造方法は、上記表面保護膜を形成した後、酸素又は不活性ガス又は酸素と不活性ガスとの混合ガス雰囲気中で第2の熱処理をすることを特徴とする、請求項1乃至請求項3のいずれかに記載の半導体記憶素子の製造方法である。

【0019】更に、請求項5に記載の本発明の半導体記憶素子の製造方法は、上記第2の熱処理を300～450℃で行うことを特徴とする、請求項1乃至請求項4のいずれかに記載の半導体記憶素子の製造方法である。

【0020】

【発明の実施の形態】以下、実施の形態に基づいて本発明について詳細に説明する。

【0021】図1は本発明の一実施の形態の半導体記憶素子の製造工程図であり、1は半導体基板、2はスイッチングトランジスタ、3は素子分離領域、4は第1の層間絶縁膜、5はポリシリコンプラグ、6はバリアメタル層、7はキャパシタの下部電極、8は強誘電体膜、9は第2の層間絶縁膜、10は上部電極、11は第3の層間絶縁膜、12は金属配線、13は表面保護膜を示す。

【0022】以下、本発明の一実施の形態の半導体記憶素子の製造工程を説明する。

【0023】まず、公知のトランジスタ製造方法に従

い、シリコン基板1上にスイッチングトランジスタ2となるMOSトランジスタ及び素子分離領域を形成する。シリコン基板1上に第1の層間絶縁膜4として、BPSG膜(ボロン燐ドーピングシリコン酸化膜)あるいは四弗化珪素(SiF_4)を原料に用いた SiOF 膜を形成する。

【0024】次に、リソグラフィ工程により、コンタクトホール形成用レジストパターン形成後、ドライエッチング法により、コンタクトホールを開口する。次に、ポリシリコン膜を堆積し、800~900℃の雰囲気中で燐をドーピングする。次に、化学的機械的研磨によりポリシリコン膜を研磨し、コンタクトホール内にポリシリコンプラグ5を形成する。次に、下部電極7/バリアメタル層6との密着層として、膜厚200ÅのTi膜(図示せず。)を形成する。

【0025】次に、下部電極7とポリシリコンプラグ5とのバリアメタル層6として1000~2000Åの窒化チタン膜或いはTaSiN膜或いはこれらの積層膜をスパッタリング方により形成する。尚、本実施の形態においては、バリアメタル層6として、TiN膜を用いる。次に、下部電極7として膜厚500~1500ÅのPt又はPtを含む化合物又は IrO_2 、 RuO_2 、 ReO_3 などの酸化物電極或いはこれらの積層膜をスパッタリング法により形成する。尚、本実施の形態においては、Pt膜を用いる。

【0026】次に、下部電極7上にソルゲル法により膜厚2000ÅのPZT膜を形成し、ランプ加熱あるは電気炉により強誘電性を有するペロブスカイト構造に結晶化させ、強誘電体膜8を形成する。結晶化温度は強誘電体材料によって大きく異なるが、PZT膜又はPLZT膜では600~700℃が望ましい。

【0027】次にPZT膜及び下部電極Pt/TiN膜/Ti膜をパターニングする。パターニング後に水素又は水素を含む不活性ガス雰囲気中で300~450℃の温度範囲内で処理する。これによりSi基板とスイッチングトランジスタのゲート酸化膜と界面の欠陥が水素により終端される。

【0028】このように、水素を含む不活性ガス中での熱処理を上部電極を形成する前にすることにより、図2(a)に示すように強誘電体特性に劣化はみられない。一方、上部電極形成後に水素を含む不活性ガス中で処理すると、図2(b)に示すように、強誘電体特性の劣化は著しい。

【0029】このことから上部電極形成後に水素を含む雰囲気中で熱処理すると、水素が上部電極に容易に吸蔵され強誘電体界面に達すると考えられる。そして、上部電極、特にPtは触媒作用を有しており、水素が活性化され、強誘電体膜側で還元作用が発生し、膜中の酸素が引き抜かれていると考えられる。この現象が進むと強誘電体特性が劣化し、リーク電流が増加する。このことか

ら、水素雰囲気中で熱処理を行う場合、キャパシタ上部電極形成前に行う必要がある。

【0030】次に、PZT膜上に第2の層間絶縁膜9を形成する。第2の層間絶縁膜9はプラズマCVD法により、 SiF_4 と O_2 とArとを原料とし、基板温度は常温~450℃の温度範囲内で SiOF 膜或いは、 SiF_4 と N_2 と O_2 とAr又は N_2O とを原料とし、基板温度は常温~450℃の温度範囲内で SiONF 膜を形成する。上記方法で形成した膜は成膜ガスには水素含有ガスを用いていないため、膜中には水素(H)が存在しない。

【0031】次に、上部電極10形成のためのコンタクトホールを開口する。上部電極10として、Ptを約1000Å形成し、フォトリソグラフィ工程によりパターニングする。上部電極10はPtに限定されるものではなく、下部電極7で用いた酸化物導電体、或いはこれらの積層電極を用いてもよい。

【0032】次に、上部電極10上に第3の層間絶縁膜11を第2の層間絶縁膜9と同様の方法を用いて形成する。次に、スイッチングトランジスタ2のソース上にコンタクトホールを開口し、金属配線12を形成する。

【0033】金属配線12形成後、表面保護膜13として SiF_4 と O_2 とArを原料とし、基板温度は常温~450℃の温度範囲内で SiOF 膜或いは、 SiF_4 と N_2 とArとを原料とし、基板温度は常温~450℃の温度範囲内で SiNF 膜、或いは SiF_4 と N_2 と O_2 とAr又は N_2O とを原料とし、基板温度は常温~450℃の温度範囲内で SiONF 膜、 SiF_4 と N_2 とを原料に用いたプラズマCVD法による窒化珪素膜、或いは SiF_4 と N_2O とを原料ガスとし窒化酸化珪素膜、或いはこれらの積層膜を形成する。

【0034】また、表面保護膜13形成後に不活性ガス或いは酸素或いはこれらの混合ガス雰囲気にて300~450℃の範囲内で熱処理を行う。

【0035】上記実施の形態では強誘電体膜として、PZT膜を用いたが、本発明はこれに限定されるものではなく、ピスマス層状化合物($\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$)を用いることも可能である。

【0036】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、強誘電体特性を劣化させることなく、スイッチングトランジスタのゲート酸化膜とシリコン基板との界面の欠陥を水素により終端させ、ゲート酸化膜の界面準位密度が低減され、安定したトランジスタ特性が得られる。

【0037】また、水素を含まない層間絶縁膜及び表面保護膜を用いることにより、熱処理による水素解離が生じないため強誘電体特性の劣化が見られない。また、上記熱処理温度を300~450℃としたので、配線にアルミニウムを用いた場合のアルミニウムとシリコン基板

との反応を抑制し、アルミニウム配線の信頼性を確保することができる。

【0038】更に、表面保護膜形成後の熱処理によってコンタクトホールの開口、金属配線の加工、表面保護膜形成工程中に導入されるプラズマ損傷を回復する。また、トランジスタのゲート酸化膜-基板界面の欠陥を終端した水素は300～450℃の範囲内では解離することなく安定である。

【0039】したがって、従来方法に比べ、良好なトランジスタ特性と強誘電体特性とを有する安定動作可能な半導体記憶素子を製造することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体記憶素子の製造工程図である。

【図2】(a)はキャパシタ上部電極形成前に水素雰囲気中で熱処理した場合のヒステリシス特性を示す図であり、(b)はキャパシタ上部電極形成後に水素雰囲気中

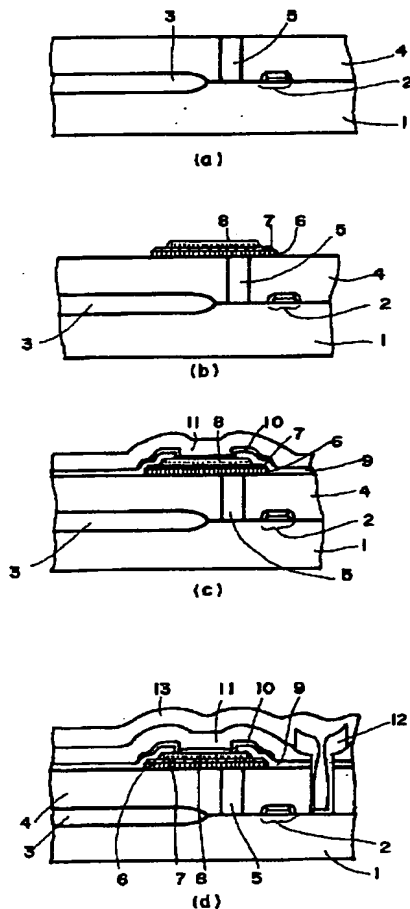
で熱処理した場合のヒステリシス特性を示す図である。

【図3】従来技術における半導体記憶素子の製造工程図である。

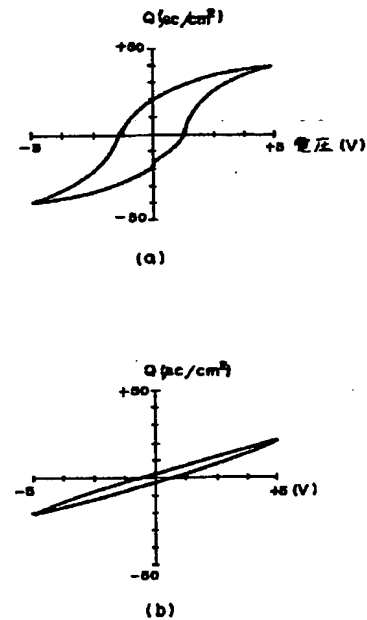
【符号の説明】

- 1 半導体基板
- 2 スイッチングトランジスタ
- 3 素子分離領域
- 4 第1の層間絶縁膜
- 5 ポリシリコンプラグ
- 6 バリアメタル層
- 7 下部電極
- 8 強誘電体膜
- 9 第2の層間絶縁膜
- 10 上部電極
- 11 第3の層間絶縁膜
- 12 金属配線
- 13 表面保護膜

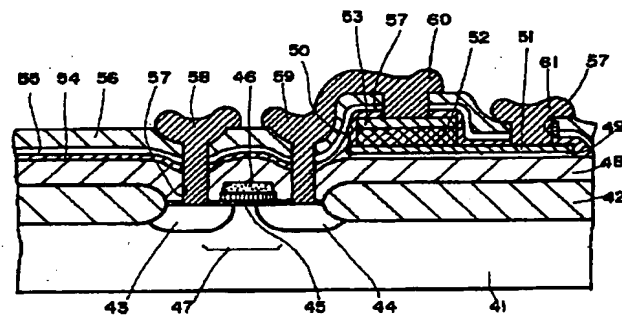
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl.⁶

H01L 29/792

識別記号

F I